

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-137669

(43)Date of publication of application : 31.05.1996

(51)Int.Cl.

G06F 7/50

(21)Application number : 06-271249

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.11.1994

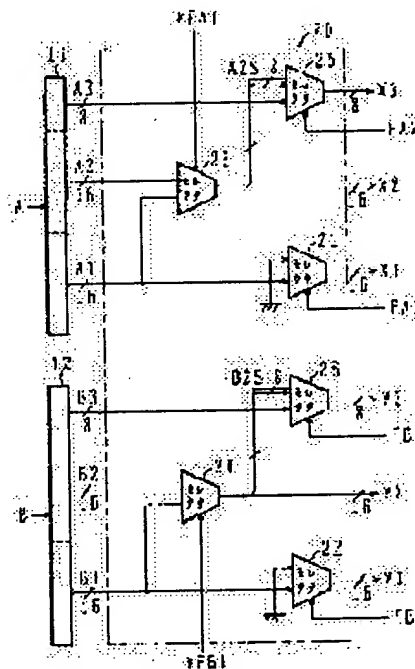
(72)Inventor : KASUYA TAKESHI

(54) ARITHMETIC CIRCUIT

(57)Abstract:

PURPOSE: To attain high speed arithmetic operation for data of plural data formats.

CONSTITUTION: A data format adjustment circuit is provided with a selector 21 selecting data A1 of low-order 16 bits in a register 21 or 0 data in 16 bits, a selector 23 selecting the data A1 or data A2 in middle 16-bits of the register 11, a selector 25 selecting data A3 of high-order 8-bits of the register 11 or data A2S extending the most significant bit of the selector 23 into 8-bits, and selectors 22, 24, 26 are provided similarly to a register 12 and the selection by the selectors is controlled by a control circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-137669

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl.⁶

G 0 6 F 7/50

識別記号

庁内整理番号

F I

技術表示箇所

M

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平6-271249

(22) 出願日 平成6年(1994)11月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 糟谷 武

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 松本 眞吉

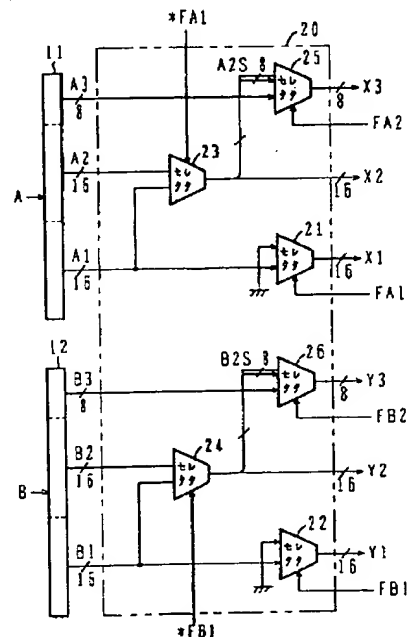
(54) 【発明の名称】 演算回路

(57) 【要約】

【目的】複数のデータフォーマットのデータに対しより高速に演算を行う。

【構成】データフォーマット調整回路は、レジスタ11の下位16ビットのデータA1と16ビットの0のデータとの一方を選択するセクタ21と、このデータA1とレジスタ11の中位16ビットのデータA2との一方を選択するセクタ23と、レジスタ11の上位8ビットのデータA3とセクタ23の最上位ビットを8ビットに拡張したデータA2Sとの一方を選択するセクタ25とを有し、レジスタ12に対しても同様のセクタ22、24及び26を有し、これらセクタによる選択は制御回路で制御される。

図1中のデータフォーマット調整回路の構成例を示す図



11, 12: レジスタ 20: データフォーマット調整回路

1

【特許請求の範囲】

【請求項1】 n ビットの第1レジスタに保持されたデータと、第2レジスタに保持されたデータとの演算を演算器で実行する演算回路において、

該第1レジスタに保持された $m < n$ なる m ビット長のデータを、上位側へ p ビットシフトさせたデータとして選択し、該 m ビットの下位側に p ビットの0を付加して、該演算器に供給するためのデータフォーマット調整回路と、

該選択及び付加を制御する制御回路と、

を有することを特徴とする演算回路。

【請求項2】 前記データフォーマット調整回路は、前記 m ビット長のデータの上位側に、該 m ビット長のデータの最上位ビットを $q = n - m - p$ なる q ビットに拡張したデータを付加することを特徴とする請求項1記載の演算回路。

【請求項3】 前記 p は m に等しく、前記データフォーマット調整回路は、

前記第1レジスタの下位 m ビットのデータと m ビットの0のデータとの一方を選択する第1セレクトと、

該第1レジスタの下位 m ビットのデータと該第1レジスタの該下位 m ビットのすぐ上位側の中位 m ビットのデータとの一方を選択する第2セレクトと、

該第1レジスタの上位 q ビットのデータと該第2セレクトの最上位ビットを q ビットに拡張したデータとの一方を選択する第3セレクトと、を有し、

前記制御回路は、

該第1セレクトに対し該0のデータを選択させ、該第2セレクトに対し該下位 m ビットのデータを選択させ、かつ、該第3セレクトに対し該 q ビットに拡張したデータを選択させる第1モードと、

該第1セレクトに対し該下位 m ビットのデータを選択させ、該第2セレクトに対し該中位 m ビットのデータを選択させ、かつ、該第3セレクトに対し該 q ビットに拡張したデータを選択させる第2モードと、

該第1セレクトに対し該下位 m ビットのデータを選択させ、該第2セレクトに対し該中位 m ビットのデータを選択させ、かつ、該第3セレクトに対し該上位 q ビットのデータを選択させる第3モードと、を有する、

ことを特徴とする請求項2記載の演算回路。

【請求項4】 前記データフォーマット調整回路は、前記第2レジスタに対しても前記第1～3セレクトと同じセレクトを有し、

前記制御回路は、該第2レジスタに対するセレクトに対しても、該第1レジスタに対する制御と同じ制御が可能である、

ことを特徴とする請求項3記載の演算回路。

【請求項5】 前記データフォーマット調整回路の出力端と前記演算器の入力端との間に結合されたラッチ回路を有し、

2

前記制御回路は、該ラッチ回路に対し、該演算器による演算が必要な場合にスルーモードにさせ、該演算器による演算が不必要な場合にラッチモードにさせる、ことを特徴とする請求項1乃至5のいずれか1つに記載の演算回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MPU等に内蔵される演算回路に関する。

10 【0002】

【従来の技術】この種の演算回路では、複数のビット長のデータ間演算が可能であるものがある。例えば、演算対象の2数を保持するレジスタが40ビット長であって、16ビット長の2数間演算、32ビット長の2数間演算、40ビット長の2数間演算、16ビット長と32ビット長の2数間演算、16ビット長と40ビット長の2数間演算、及び、32ビット長と40ビット長の2数間演算が可能なものがある。

【0003】演算対象の2数が固定小数点である場合、例えば、16ビット長と40ビット長の2数は、メモリを有効利用するためにバイト長が互いに異なり、小数点位置も異なるので、メモリからレジスタにデータをロードした後、演算前に16ビット長のデータをレジスタ上でシフトさせてその固定小数点位置を40ビット長のデータの固定小数点位置に合わせるというデータフォーマット調整処理が必要とある。

【0004】

【発明が解決しようとする課題】しかし、従来の演算回路では、ソフトウェアにより2数のデータフォーマットを調整して演算を行っていたので、その分、処理時間が長くなっていた。本発明の目的は、このような問題点に鑑み、複数のデータフォーマットのデータに対しより高速に演算を行うことが可能な演算回路を提供することにある。

【0005】

【課題を解決するための手段及びその作用】本発明では、 n ビットの第1レジスタに保持されたデータと、第2レジスタに保持されたデータとの演算を演算器で実行する演算回路において、該第1レジスタに保持された $m < n$ なる m ビット長のデータを、上位側へ p ビットシフトさせたデータとして選択し、該 m ビットの下位側に p ビットの0を付加して、該演算器に供給するためのデータフォーマット調整回路と、該選択及び付加を制御する制御回路と、を有する。

【0006】この本発明によれば、データフォーマット調整回路及び制御回路による該選択及び付加によりデータフォーマットが調整されるので、複数のデータフォーマットのデータに対し従来よりも高速に演算を行うことが可能になる。本発明の第1態様では、上記データフォーマット調整回路は、上記 m ビット長のデータの上位側

3

に、該 m ビット長のデータの最上位ビットを $q = n - m - p$ なる q ビットに拡張したデータを付加する。

【0007】この第1態様によれば、符号付データに対しても、データフォーマット調整回路及び制御回路によりデータフォーマットが調整され、従来よりも高速に演算を行うことが可能になる。本発明の第2態様では、上記 p は m に等しく、上記データフォーマット調整回路は、上記第1レジスタの下位 m ビットのデータと m ビットの0のデータとの一方を選択する第1セクタと、該第1レジスタの下位 m ビットのデータと該第1レジスタの該下位 m ビットのすぐ上位側の中位 m ビットのデータとの一方を選択する第2セクタと、該第1レジスタの上位 q ビットのデータと該第2セクタの最上位ビットを q ビットに拡張したデータとの一方を選択する第3セクタと、を有し、上記制御回路は、該第1セクタに対し該0のデータを選択させ、該第2セクタに対し該下位 m ビットのデータを選択させ、かつ、該第3セクタに対し該 q ビットに拡張したデータを選択させる第1モードと、該第1セクタに対し該下位 m ビットのデータを選択させ、該第2セクタに対し該中位 m ビットのデータを選択させ、かつ、該第3セクタに対し該 q ビットに拡張したデータを選択させる第2モードと、該第1セクタに対し該下位 m ビットのデータを選択させ、該第2セクタに対し該中位 m ビットのデータを選択させ、かつ、該第3セクタに対し該上位 q ビットのデータを選択させる第3モードと、を有する。

【0008】この第2態様によれば、第1～3モードに対応したデータフォーマット調整がデータフォーマット調整回路及び制御回路により行われ、従来よりも高速に演算を行うことが可能になる。本発明の第3態様では、上記データフォーマット調整回路は、上記第2レジスタに対しても上記第1～3セクタと同じセクタを有し、上記制御回路は、該第2レジスタに対するセクタに対しても、該第1レジスタに対する制御と同じ制御が可能である。

【0009】この第3態様によれば、第1レジスタ及び第2レジスタの各々に対する第1～3モードに対応したデータフォーマット調整がデータフォーマット調整回路及び制御回路により行われ、各種データ長の組み合わせのデータについて従来よりも高速に演算を行うことが可能になる。本発明の第4態様では、上記データフォーマット調整回路の出力端と上記演算器の入力端との間に結合されたラッチ回路を有し、上記制御回路は、該ラッチ回路に対し、該演算器による演算が必要な場合にスルーモードにさせ、該演算器による演算が不必要な場合にラッチモードにさせる。

【0010】この第4態様によれば、第1レジスタ及び第2レジスタが汎用レジスタとして該演算回路以外にも各種処理に用いられる場合、かつ、演算器による演算が不必要な場合に、第1レジスタ又は第2レジスタの内容

4

が変化しても、ラッチ回路の出力が一定となるので、ラッチ回路の後段の演算器動作が停止状態となり、消費電力を低減することができる。

【0011】

【実施例】以下、図面に基づいて本発明の一実施例を説明する。図1は、固定小数点の2数に対する加減算回路10を示す。この加減算回路10は、MPU内に設けられ、MPU内のレジスタ11とレジスタ12にそれぞれロードされた2数AとBとの加減算を行う。レジスタ11及び12は、40ビットであり、レジスタ11は、下位16ビット111と、中位16ビット112と、上位8ビット113とに分けられ、それぞれA1、A2及びA3を保持し、同様に、レジスタ12は、下位16ビット121と、中位16ビット122と、上位8ビット123とに分けられ、それぞれB1、B2及びB3を保持する。データフォーマット調整回路20は、 $A = (A3, A2, A1)$ 及び $B = (B3, B2, B1)$ をそれぞれ、メモリからレジスタ11及び12にロードされる前のA及びBのデータビット長に応じて、すなわち、不図示のデコードによる演算命令のデコード結果に応じた制御回路30からの制御信号により、 $X = (X3, X2, X1)$ 及び $Y = (Y3, Y2, Y1)$ に変換する。

【0012】図2は、データフォーマット調整回路20の構成例を示す。データフォーマット調整回路20は、セクタ21～26を備えている。これらセクタはいずれも、選択制御信号が‘0’のとき2入力のうち図中の下側を選択し、選択制御信号が‘1’のとき2入力のうち図中の上側を選択するものとする。後述の図3中のセクタについても同様である。また、例えば、「32ビットデータ又は40ビットデータ」を「32/40ビットデータ」と簡略記載する。さらに、2値信号Sの反転信号を $*S$ と表す。

【0013】セクタ21～26の制御入力端にはそれぞれ、制御回路30から選択制御信号FA1、FB1、 $*FB1$ 、FA2、FB2及び $*FA1$ が供給される。セクタ21及び22の一方の入力端にはそれぞれ、A1及びB1が供給される。セクタ21及び22の他方の入力端には、16ビットの0が供給される。セクタ21及び22で選択されたものがそれぞれX1及びY1として出力される。

【0014】選択制御信号FA1は、Aが32/40ビットデータの場合に‘0’、Aが16ビットデータの場合に‘1’となる。同様に、選択制御信号FB1は、Bが32/40ビットデータの場合に‘0’、Bが16ビットデータの場合に‘1’となる。セクタ23は、A1とA2の一方を選択し、X2として出力する。同様に、セクタ24は、B1とB2の一方を選択し、Y2として出力する。

【0015】X2の最上位ビット(16/32ビットデータの場合の符号ビット)は8ビットに拡張され、A2

5

Sとしてセクタ25の一方の入力端に供給される。セクタ25の他方の入力端には、A3が供給される。選択制御信号FA2は、Aが40ビットデータの時‘0’となり、Aが32/40ビットデータの時‘1’となる。同様に、Y2の最上位ビットは8ビットに拡張され、B2Sとしてセクタ26の一方の入力端に供給される。セクタ26の他方の入力端には、B3が供給される。選択制御信号FB2は、Bが40ビットデータの時‘0’となり、Bが32/40ビットデータの時‘1’となる。

【0016】図1において、X1、X2及びX3はそれぞれラッチ回路31、32、33に供給され、Y1、Y2及びY3はそれぞれラッチ回路41、42及び43に供給される。制御回路30は、演算実行中には、制御信号LTを‘0’にしてラッチ回路31～33及び41～43をスルーモードにさせることにより、加減算回路10を通常の演算回路として機能させる。制御回路30は、演算非実行中には、制御信号LTを‘1’にしてラッチ回路31～33及び41～43をラッチモードにする。これにより、加減算回路10による演算が不要な場合にレジスタ11及び12の内容が変化しても、ラッチ回路31～33及び41～43の出力が一定となるので、これらの後段の回路動作が停止状態となり、消費電力を低減することができる。

【0017】ラッチ回路41、42及び43の出力はそれぞれ、イクスクルーシブオアゲート51、52及び53の一方の入力端に供給され、イクスクルーシブオアゲート51、52及び53の他方の入力端には、1ビットの減算モードSUBを16ビットに拡張したものが供給される。減算モードSUBは、減算の時‘1’、加算の時‘0’となる。したがって、加算の場合にはラッチ回路41、42及び43の出力がそのままイクスクルーシブオアゲート51、52及び53の出力となり、減算の場合には、ラッチ回路41、42及び43の出力がイクスクルーシブオアゲート51、52及び53により反転される。イクスクルーシブオアゲート51、52及び53の出力CY1、CY2及びCY3はそれぞれ、加算器61、62及び63の一方の入力端に供給される。加算器61、62及び63の他方の入力端にはそれぞれ、ラッチ回路31、32及び33の出力が供給される。

【0018】加算器61は、X1とCY1とキャリー制御回路71からのキャリーCILとを加算し、その結果を16ビットのD1と1ビットのキャリーCOLとして出力する。キャリーCILは、キャリー制御回路71により、キャリーフラグ13に保持されたキャリーCIと、制御回路30からの信号により定められる。キャリー制御回路71は、図3に示す如く、イクスクルーシブオアゲート711、セクタ712、アンドゲート713、インバータ714、オアゲート715及びアンドゲ

6

ート716を備え、これに制御回路30からビット長モードLS、LL1、LL2、減算モードSUB及びキャリー付演算モードCAが供給される。

【0019】ビット長モードLSは、32/40ビットデータと16ビットデータの加減算の場合に‘1’となり、その他の場合に‘0’となる。ビット長モードLL1は、32/40ビットデータの加減算を行う場合に‘1’となり、その他の場合に‘0’となる。ビット長モードLL2は、32/40ビットデータの加減算を行う

10 いかつ下位16ビットからの桁上がりがない場合に‘1’となる。キャリー付演算モードCAは、キャリー付の加減算を行う場合に‘1’となり、そうでない場合に‘0’となる。

【0020】イクスクルーシブオアゲート711には、キャリーCIと減算モードSUBとが供給され、イクスクルーシブオアゲート711の出力は、加算の場合にキャリーCIに一致し、減算の場合にキャリーCIを反転したものとなる。イクスクルーシブオアゲート711の出力と減算モードSUBとがセクタ712に供給され、セクタ712は、キャリー付演算モードCAの値に応じて選択する。

【0021】アンドゲート713は、その一方の入力端にビット長モードLL1が供給され、他方の入力端にビット長モードLL2をインバータ714で反転したものが供給される。アンドゲート713の出力とビット長モードLSとがオアゲート715に供給される。また、オアゲート715の出力P2とセクタ712の出力P1とがアンドゲート716に供給される。アンドゲート716の出力がキャリー制御回路71の出力CILとして取り出される。

【0022】図1において、加算器62は、X2とCY2とセクタ72からのキャリーCIHとを加算し、その結果を16ビットのD2と1ビットのキャリーCOHとして出力する。セクタ72は、P2が‘0’のときP1を選択し、P2が‘1’のときキャリーCOLを選択する。加算器63は、X3とCY3と加算器62からのキャリーCOHとを加算し、その結果を9ビットのD3と1ビットのキャリーCOとして出力する。

【0023】8ビット加算器63は、図4に示す如く、4ビットの加算器631及び632と、1ビットの加算器633とを備えている。加算器631にはX3及びCY3の下位4ビットが供給され、加算器632にはX3及びCY3の上位4ビットが供給され、加算器633にはX3及びCY3の最上位1ビットが供給される。加算器633は、後述のイクスクルーシブオアゲート54と共に、加算結果のオーバーフローによる‘1’と負数の符号の‘1’とを区別するためのものである。加算器631、632及び633はこれらの入力と下位側からのキャリーとを加算し、それぞれD31、D32及びD33として出力する。

7

【0024】加算器633から出力されるキャリーCOは、図1に示す如く、イクスクルーシブオアゲート54の一方の入力端に供給され、イクスクルーシブオアゲート54の他方の入力端には減算モードSUBが供給される。したがって、イクスクルーシブオアゲート54のキャリー出力Cは、加算のときキャリーCOに一致し、減算のときキャリーCOを反転したものととなる。

【0025】演算結果(D3, D2, D1)及びCは、例えばそれぞれ11及び13に保持される。次に、上記の如く構成された本実施例の動作を、図5に示す4通りの加減算について説明する。2数A及びBは符号付であり、また、キャリー無し(前回の演算結果等のキャリーと無関係であり、CA=0)の加減算を考える。図5中のSは符号ビットであり、△の頂点は固定小数点位置を示す。

【0026】(A) A及びBが共に単一の16ビットデータで加算の場合

FA1=FB1='1'となるので、セレクト21及び22により0が選択され、X1=Y1=0となる。また、*FA1=*FB1='0'となるので、セレクト23及び24によりそれぞれA1及びB1が選択されてX2=A1、Y2=B1となる。さらに、FA2=FB2='1'となるので、セレクト25及び26によりX2及びY2の最上位ビットである符号ビットを8ビットに拡張したものが選択されてそれぞれX3及びY3となる。

【0027】このようにして、AとBのデータフォーマットが図5(B)に示すように調整される。CA='0'であるので、セレクト712によりSUB='0'が選択され、CIL='0'となる。また、LS=LL1=LL2='0'であるので、P2='0'となつてP1='0'がセレクト72で選択され、CIH='0'となる。

【0028】(B) Aが32ビットデータ、Bが16ビットデータで加算の場合

FA1='0'、FB1='1'となるので、セレクト21によりA1が選択されてX1=A1となり、セレクト22により0が選択されてY1=0となる。また、*FA1='1'、*FB1='0'となるので、セレクト23及び24によりそれぞれA2及びB1が選択されてX2=A2、Y2=B1となる。さらに、FA2=FB2='1'となるので、セレクト25及び26によりX2及びY2の符号ビットを8ビットに拡張したものが選択されてそれぞれX3及びY3となる。

【0029】このようにして、AとBのデータフォーマットが図5(B)に示すように調整される。CA='0'であるので、セレクト712によりSUB='0'が選択されてP1='0'となり、CIL='0'となる。また、LS='1'、LL1=LL2='0'であるので、P2='1'となつてキャリーCO

8

Lがセレクト72で選択される。

【0030】(C) Aが40ビットデータ、Bが16ビットデータで減算の場合

減算A-Bは、Aと、被減数Bのビットを反転したものと、キャリー'1'とを加算することにより行われる。FA1='0'、FB1='1'となるので、セレクト21によりA1が選択されてX1=A1となり、セレクト22により0が選択されてY1=0となる。また、*FA1='1'、*FB1='0'となるので、セレクト23及び24によりそれぞれA2及びB1が選択されてX2=A2、Y2=B1となる。さらに、FA2='0'、FB2='1'となるので、セレクト25によりA3が選択されてX3=A3となり、セレクト26によりY2の符号ビットを8ビットに拡張したものが選択されてY3となる。

【0031】このようにして、AとBのデータフォーマットが図5(C)に示すように調整される。但し、図5(C)では被減数の符号を反転したものをSで表している。CA=0であるので、セレクト712によりSUB='1'が選択されてP1='1'となる。また、LS='1'、LL1=LL2='0'であるので、P2='1'となつてCIL='1'となり、かつ、キャリーCOLがセレクト72で選択される。

【0032】SUB='1'であるので、Y1、Y2及びY3はイクスクルーシブオアゲート51、52及び53で'1'と'0'とが反転される

(D) A及びBの各々が2つの16ビットデータを有し同時加算の場合

加算A1+B1と加算A2+B2とを同時に行う場合を考える。この場合、制御回路30は、データフォーマット調整回路20及びキャリー制御回路71に対しA及びBが共に32ビットデータである場合と同じに制御する。

【0033】FA1=FB1='0'となるので、セレクト21及び22によりそれぞれA1及びB1が選択されてX1=A1、Y1=B1となる。また、*FA1=*FB1='1'となるので、セレクト23及び24によりそれぞれA2及びB2が選択されてX2=A2、Y2=B2となる。さらに、FA2=FB2='1'となるので、セレクト25によりX2の符号ビットを8ビットに拡張したものが選択されてX3となり、セレクト26によりY2の符号ビットを8ビットに拡張したものが選択されてY3となる。

【0034】このようにして、AとBのデータフォーマットが図5(D)に示すように調整される。CA=0であるので、セレクト712によりSUB='0'が選択されP1='0'となつてCIL='0'となる。また、LS='0'、LL1=LL2='1'であるので、P2='0'となつて、P1='0'がセレクト72で選択され、CIH='0'となる。

【0035】以上の4つのモード(A)～(B)は一例であり、ビット長に関しては、516ビット長の2数間演算、32ビット長の2数間演算、40ビット長の2数間演算、16ビット長と32ビット長の2数間演算、16ビット長と40ビット長の2数間演算、及び、32ビット長と40ビット長の2数間演算があり、これらの各々について加算と減算とがあり、さらにその各々についてキャリー付き演算とキャリー無し演算とがある。これらいずれのモードにおいても、データフォーマットがハードウェア構成により調整されるので、演算速度が向上する。

【0036】なお、本発明には外にも種々の変形例が含まれる。例えば、データフォーマット調整回路20は加減算以外の演算回路にも適用可能である。この点は、ラッチ回路31～33及び41～43についても同様である。また、データフォーマット調整回路20で取り扱う複数のビット長は、レジスタ11と12の一方のみに対するものであってもよい。

【0037】

【発明の効果】以上説明した如く、本発明に係る演算回路によれば、データフォーマット調整回路及び制御回路によるレジスタ内の下位ビットの選択及び上位ビットへのデータ0の付加によりデータフォーマットが調整されるので、複数のデータフォーマットのデータに対し従来よりも高速に演算を行うことが可能になるという効果を奏する。

【0038】本発明の第1態様によれば、符号付データに対しても、データフォーマット調整回路及び制御回路によりデータフォーマットが調整されるという効果を奏する。本発明の第2態様によれば、第1～3モードに対応したデータフォーマット調整がデータフォーマット調整回路及び制御回路により行われるという効果を奏する。

【0039】本発明の第3態様によれば、第1レジスタ及び第2レジスタの各々に対する第1～3モードに対応したデータフォーマット調整がデータフォーマット調整回路及び制御回路により行われ、各種データ長の組み合わせのデータについて従来よりも高速に演算を行うことが可能になるという効果を奏する。本発明の第4態様によれば、第1レジスタ及び第2レジスタが汎用レジスタとして本発明の演算回路以外にも各種処理に用いられる場合、かつ、演算器による演算が不必要な場合に、第1レジスタ又は第2レジスタの内容が変化しても、ラッチ回路の出力が一定となるので、ラッチ回路の後段の演算器動作が停止状態となり、消費電力を低減することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例の加減算回路を示す図である。

【図2】図1中のデータフォーマット調整回路の構成例を示す図である。

【図3】図1中のキャリー制御回路の構成例を示す図である。

【図4】図1中の上位8ビット加算器の構成例を示す図である。

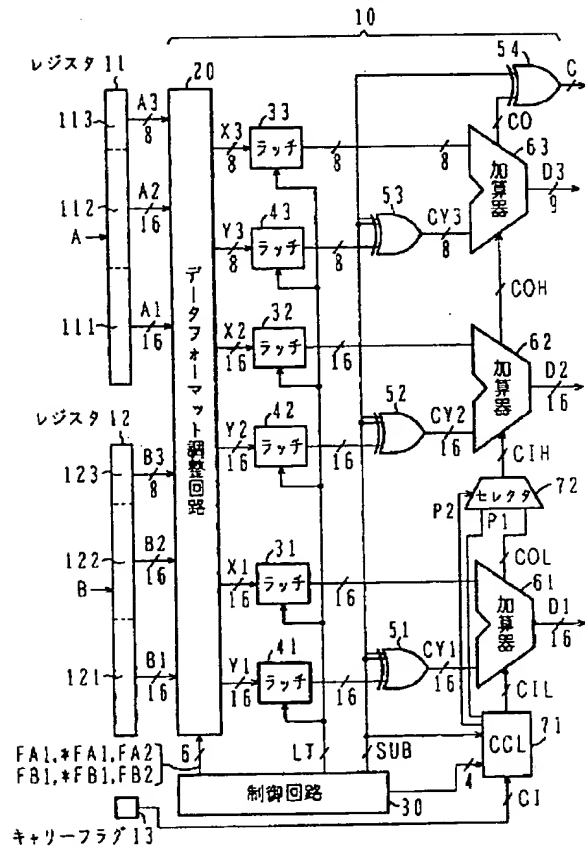
【図5】各種データフォーマットの加減算説明図である。

【符号の説明】

- 10 加減算回路
- 11、12 レジスタ
- 20 データフォーマット調整回路
- 21～26、712、72 セレクタ
- 30 制御回路
- 31～33、41～43 ラッチ回路
- 61～63、631～633 加算器
- 71 キャリー制御回路

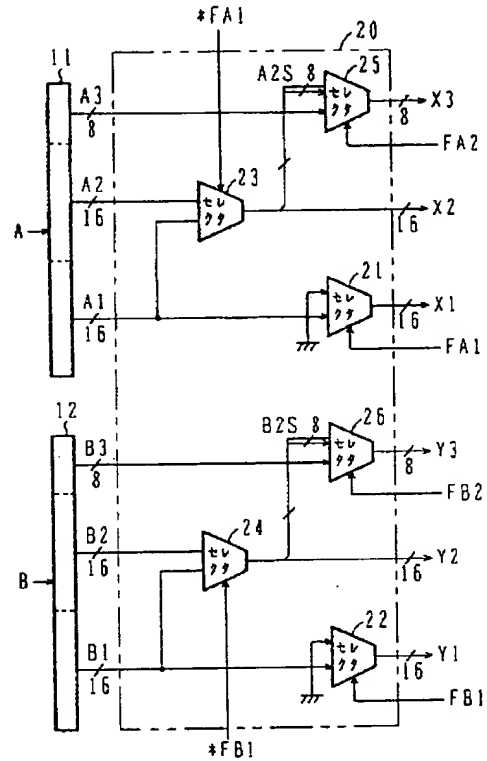
【図 1】

本発明の一実施例の加減算回路を示す図



【図 2】

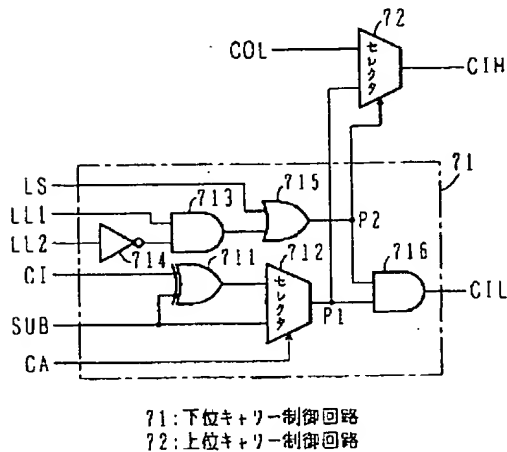
図 1 中のデータフォーマット調整回路の構成例を示す図



11, 12: レジスタ 20: データフォーマット調整回路

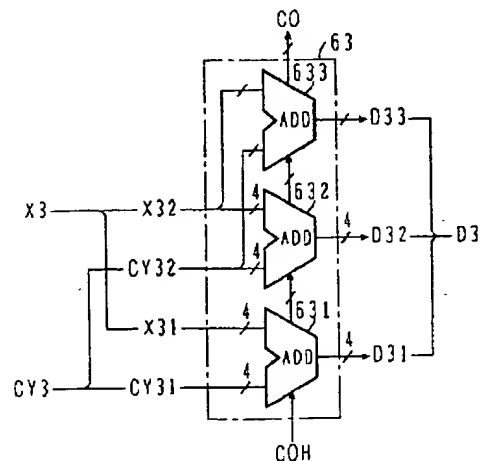
【図 3】

図 1 中のキャリー制御回路の構成例を示す図

71: 下位キャリー制御回路
72: 上位キャリー制御回路

【図 4】

図 1 中の上位 8 ビット加算器の構成例を示す図



【図5】

各種データフォーマットの加減算例説明図

